

# 最適オン抵抗のeGaN® FETの選択



Johan Strydom, Ph.D., アプリケーション部門バイス・プレジデント, Efficient Power Conversion Corporation

このホワイト・ペーパーでは、最適なオン抵抗のeGaN FETを選択するためのチップ・サイズの最適化手順について説明し、特定の結果を示すためにアプリケーション例を使います。「最適」は人によって意味が異なるため、この手順は、与えられた負荷条件で、スイッチング・デバイスの効率を最大化することを目的としています。

## デバイス損失のモデリング

以前に公開された論文では、eGaN FETは、ほとんどシリコン・デバイスと同じように動作し、同様の性能評価基準を使って評価できることを示しました。これらのデバイスは、シリコンMOSFETのように動作するため、同じように最適化できます。すなわち、チップのサイズを調整して、静的損失と動的損失のバランスを取ります。静的損失には、スイッチング周波数の変化の影響を受けない損失成分が含まれますが、動的損失は周波数に大きく依存します。すべてのデバイス・パラメータはチップ・サイズに応じて変わりますが、デバイスの性能指数FOM (Figures of Merit) は変わらないと仮定しています。アプリケーションはさまざまですが、さまざまな損失成分を簡単にまとめることができます [3,4,5]。すなわち、相対的なサイズのみがアプリケーションと動作周波数によって変わります。eGaN FETを使うと、損失成分の相対的な重み付けもシリコンMOSFETとは異なるため、「最適」チップ・サイズの値が異なります。これを、より良く理解するために、まず、パワーFET ( $P_{SEMI}$ ) 内の半導体全体の損失を次のように分類します：

$$P_{SEMI} = P_{COND} + P_{DIODE} + P_{T-ON} + P_{T-OFF} + P_{DR} + P_{QRR} + P_{QOSS} \quad (1)$$

ここで：

	概要	方程式
1	$P_{COND}$ は、オンするときのデバイス・チャンネルの導通損失	$(I_L \cdot \sqrt{D})^2 \cdot \frac{R_{DS(on),A}}{A}$
2a	$P_{T-ON}$ は、デバイスがオンするときの転流損失 (図1a)	$\frac{V_{BUS} \cdot I_L}{2} \cdot \frac{R_G \cdot (Q_{GD,A} + Q_{GS2,A}) \cdot A}{V_{DR} - V_{PL}} \cdot f_{SW}$
2b	$P_{T-OFF}$ は、デバイスがオフするときの転流損失 (図1b)	$\frac{V_{BUS} \cdot I_L}{2} \cdot \frac{R_G \cdot (Q_{GD,A} + Q_{GS2,A}) \cdot A}{V_{PL}} \cdot f_{SW}$
3	$P_{DR}$ はデバイスのゲート駆動損失	$Q_{G,A} \cdot A \cdot V_{DR} \cdot f_{SW}$
4	$P_{QRR}$ は、デバイスのダイオードの逆回復損失	$Q_{RR,A} \cdot A \cdot V_{BUS} \cdot f_{SW}$
5	$P_{QOSS}$ は、デバイスの出力容量の電荷損失	$\frac{Q_{OSS,A} \cdot A}{2} \cdot V_{BUS} \cdot f_{SW}$
6	$P_{DIODE}$ は、デバイスのダイオードの導通損失	$I_L \cdot V_F \cdot \Delta t \cdot f_{SW}$

「A」は正規化されたチップ面積を指し、下付きのAは正規化されたチップ面積当たりのパラメータを指します。  
作成された用語、仮定、近似については、付録を参照してください。

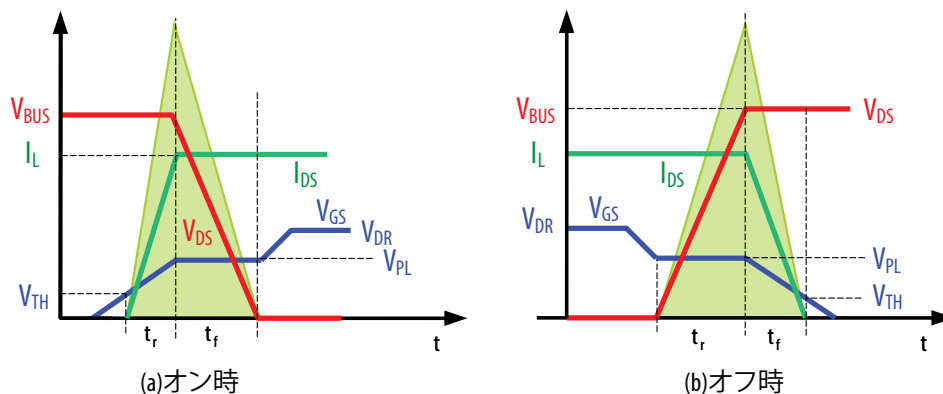


図1: スwitching損失の計算に使われる理想的なスイッチング波形。

すべてのデバイスに、これらすべての損失成分があるわけではないことに注意してください。例えば、同期整流方式のバック（降圧型）・コンバータは実質的に、同期整流器において、オン時またはオフ時の損失がありません。さらに、コンバータ内の複数のデバイスを最適化するには、デバイス間の相互作用に起因する損失も考慮する必要があります（例えば、1つのデバイスのダイオードの逆回復損失が別のFETで消費される場合があります）。これは、同期整流用FET関連の損失が制御用FETで消費される同期整流方式バック・コンバータなどの回路で発生しますが、制御用FETのみを最適化することによって、この損失成分は変わらないでしょう。したがって、最適化するためには、電力がどこで消費されるかに関係なく、デバイスによって引き起こされるすべての損失をそのサイジングに関連すると見なすことによって解決できます。

### チップ・サイズの最適化

式 (1) に示すデバイスの損失成分のそれぞれを考慮することによって、いくつかの結論を導き出すことができます：

- ・ 導通損失（項目1）は周波数に依存しません
- ・ 転流損失（項目2aと2b）は、周波数と負荷電流の両方に依存し、次のように組み合わせることができます：

$$P_{COMM} = \frac{V_{BUS}}{2} k \cdot Q_{SW,A} \cdot A \cdot I_L \cdot f_{SW} \quad (2)$$

$$\text{ここで： } k = k_{ON} + k_{OFF}, k_{ON} = \frac{R_G}{V_{DR} - V_{PL}}, k_{OFF} = \frac{R_G}{V_{PL}} \text{ および } Q_{SW,A} = Q_{GD,A} + Q_{GS2,A}$$

- ・ 項目3、4、5の損失成分はすべて、周波数に依存しますが、電流には依存しないので、組み合わせることができます。逆回復電荷 $Q_{RR}$ は電流に関連していますが、MOSFETのベンダーは、これらの損失を正確に計算するために、電流、温度、および $di/dt$ に関する特性を適切に提示することを怠っています。

$$P_{CHARGE} = \left( \frac{Q_{OSS,A}}{2} \cdot V_{BUS} + Q_{G,A} \cdot V_{DR} + Q_{RR,A} \cdot V_{BUS} \right) \cdot A \cdot f_{SW} \quad (3)$$

- ・ 項目6のダイオード損失は、チップ・サイズに依存しない（チップ・サイズの弱い関数のみ）と仮定され、最適化手順では無視されます。

ここで、2つの新しい変数 $\Delta I_{EQ}$ と $\Delta I_{EQRR}$ を次のように定義します：

$$\Delta I_{EQ} = \frac{Q_{OSS,A} \cdot V_{BUS} + 2 \cdot Q_{G,A} \cdot V_{DR}}{V_{BUS} \cdot k \cdot Q_{SW,A}} \quad (4a)$$

$$\Delta I_{EQRR} = \frac{2 \cdot Q_{RR,A}}{k \cdot Q_{SW,A}} \quad (4b)$$

次に、式 (2) と式 (3) とを組み合わせ、式 (4a) と (4b) に代入すると、スイッチング損失は以下になります：

$$\begin{aligned} P_{SW} &= \left[ \frac{V_{BUS}}{2} k \cdot Q_{SW,A} \cdot I_L + \left( \frac{Q_{OSS,A}}{2} \cdot V_{BUS} + Q_{G,A} \cdot V_{DR} + Q_{RR,A} \cdot V_{BUS} \right) \right] \cdot A \cdot f_{SW} \\ &= \left[ \frac{V_{BUS}}{2} k \cdot Q_{SW,A} \cdot I_L + \frac{V_{BUS}}{2} k \cdot Q_{SW,A} \cdot (\Delta I_{EQ} + \Delta I_{EQRR}) \right] \cdot A \cdot f_{SW} \\ &= \left[ \frac{V_{BUS}}{2} k \cdot Q_{SW,A} \right] \cdot (I_L + \Delta I_{EQ} + \Delta I_{EQRR}) \cdot f_{SW} \cdot A \\ &= P_{SW,A} \cdot A \end{aligned} \quad (5)$$

したがって、式 (3) の非電流依存の損失は、逆回復に関連する損失の等価電流 $\Delta I_{EQRR}$ で等価スイッチング損失としてモデル化でき、 $\Delta I_{EQ}$ は式 (4) で定義された残りの電荷関連損失としてモデル化できます。 $Q_{RR}$ 関連の損失項は、 $Q_{RR}$ がゼロのeGaN FETでは無視できますが、MOSFETとの互換性のために含まれています。したがって式 (5) と式 (1) の項目1から、最適化の目的での総デバイス損失は以下のように書くことができます：

$$P_{SEMI}(A) = P_{SW,A} \cdot A + (I_L \cdot \sqrt{D})^2 \cdot \frac{R_{DS(ON),A}}{A} \tag{6}$$

最適な (最小損失) 点を見つけるために、微分をゼロに設定し、Aを計算します：

$$\frac{dP_{SEMI}(A)}{dA} = 0 = P_{SW,A} - (I_L \cdot \sqrt{D})^2 \cdot \frac{R_{DS(ON),A}}{A^2} \tag{7}$$

$$\therefore A = I_L \cdot \sqrt{D} \cdot \sqrt{\frac{R_{DS(ON),A}}{P_{SW,A}}}$$

すべての電荷の値を1Ωの $R_{DS(on)}$ に正規化すると、デバイスの最適なオン抵抗は次のようになります：

$$R_{OPT} = \frac{1}{I_L \cdot \sqrt{D}} \cdot \sqrt{\left[ \frac{V_{BUS}}{2} k \cdot Q_{SW,A} \right] \cdot (I_L + \Delta I_{EQ} + \Delta I_{EQRR}) \cdot f_{SW}} \Omega \tag{8}$$

表1に、接合部温度100°Cの標準的な「高温」動作温度に対するGaN FETデバイスの正規化した固有のパラメータを示します。式 (8) と表1の値から、所定のバス電圧に対して必要な最適チップ抵抗を簡単に計算できます。

100°Cにおけるオン抵抗 $R_{DS(on)}$ の標準値で正規化 (25°Cにおいて約1.45× $R_{DS(on)}$ )				
$V_{BUS}$	40 V eGaN FETs 12 V	40 V eGaN FETs 24 V	100 V eGaN FETs 48 V	200 V eGaN FETs 100 V
$Q_{GS2,A}$ @ 定格 $I_{DS}$	5 pC/Ω	5 pC/Ω	7 pC/Ω	13 pC/Ω
$Q_{GD,A}$ @ $V_{BUS}$	9 pC/Ω	10 pC/Ω	21 pC/Ω	51 pC/Ω
$Q_{G,A}$ @ 5 V 定格 $V_{DR}$	46 pC/Ω	46 pC/Ω	73 pC/Ω	145 pC/Ω
$Q_{OSS,A}$ @ $V_{BUS}$	57 pC/Ω	97 pC/Ω	290 pC/Ω	1085 pC/Ω
$Q_{RR,A}$ @ 定格 $I_S$	0 pC/Ω	0 pC/Ω	0 pC/Ω	0 pC/Ω
$V_{PL}$ @ 定格 $I_{DS}$	2.2 V	2.2 V	2.3 V	2.4 V
$V_F$ @ 定格 $I_{DS}$	2.2 V	2.2 V	2.3 V	2.4 V
$k_{ON} = \frac{R_G}{V_{DR} - V_{PL}}$	2.6/2.8 = 0.93 2Ωプルアップ	2.6/2.8 = 0.93 2Ωプルアップ	2.6/2.8 = 0.96 2Ωプルアップ	2.6/2.8 = 1.0 2Ωプルアップ
$k_{OFF} = \frac{R_G}{V_{PL}}$	1.1/2.2 = 0.5 0.5Ωプルアップ	1.1/2.2 = 0.5 0.5Ωプルアップ	1.1/2.3 = 0.48 0.5Ωプルアップ	1.1/2.4 = 0.46 0.5Ωプルアップ
$k = k_{ON} + k_{OFF}$	1.43 / A	1.43 / A	1.44 / A	1.46 / A
$Q_{SW,A}$	14 pC/Ω	15 pC/Ω	28 pC/Ω	64 pC/Ω
$\Delta I_{EQ}$	4.0 A	5.0 A	7.7 A	12.4 A
$\Delta I_{EQRR}$	0 A	0 A	0 A	0 A

表1：異なる電圧定格に対して $R_{DS(on)}$ の標準値を1Ωに正規化したときのeGaN FETのパラメータ

この手順は、例で最もよく説明できますが、最初に、最適化に使う負荷条件は何かを決定しなければなりません。これを説明するために、図2に示した同じアプリケーションについて、次の効率曲線の組み合わせを検討してください。

- **全負荷の最適化**：軽負荷とピーク効率の低下を犠牲にすることで、最高の全負荷効率が得られます。
- **中負荷の最適化**：全負荷の効率を犠牲にすることで、最高の中負荷効率が得られます。これによって、最も「平坦な」効率曲線が得られる可能性があります。
- **軽負荷の最適化**：全負荷の効率を大幅に犠牲にすることで、最高の軽負荷効率が実現できます。特定の軽負荷効率の基準を満たす必要がある場合、または最小エネルギー消費基準を満たす必要がある場合に役立つかもしれません。

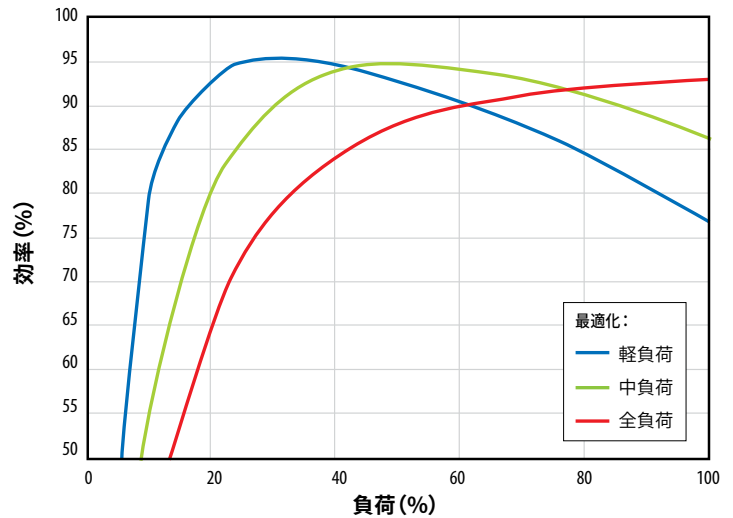


図2：異なる負荷条件に対して最適化された効率曲線の概念。

したがって、負荷電流は、効率曲線のどこにピーク（またはピークに可能な限り近いところ）があるかに基づいて選択しなければなりません。この選択は、デバイスの損失だけが電流に依存する回路の損失ではないという事実によって複雑になります。つまり、バスの抵抗とコイルのDCR（直流抵抗）も、負荷電流と共に2乗で増加します。したがって、チップ・サイズの最適化は、より高い動的損失に向けて補正して、ゆがめなければなりません。複数のデバイスを使うとき、各デバイスは回路全体の抵抗損失の任意の割合を占める可能性があります。 $R_{EQ}$ を補償される等価回路抵抗とすると、調整された最適オン抵抗 ( $R_{OPT-ADJ}$ ) は次式で与えられます：

$$R_{OPT-ADJ} = \frac{\frac{P_{SW,A}}{I_L^2}}{\left( \frac{R_{EQ}}{2} + \sqrt{\left( \frac{R_{EQ}}{2} \right)^2 - \frac{P_{SW,A}}{I_L^2} \cdot D} \right)} \Omega \tag{9}$$

### eGaN FET最適化の例

以下の仕様の高周波バック・コンバータを検討します [6]：

$$V_{IN} = 45V, V_{OUT} = 22V, f_{SW} = 1MHz, I_{LMAX} = 30A$$

最適化のために、チップまたは回路のピーク効率が、15A (50%負荷) で得られるようにしたいとします。表1から、 $\Delta I_{EQ} = 7.7A$ 、 $\Delta I_{EQRR} = 0A$ 、 $k=1.44/A$ 、および  $Q_{SW,A} = 28pF/\Omega$  (48Vを使用) が得られます。D = 22 / 45 = 0.49および  $I_L = 15A$ も必要です。

調整された最適なオン抵抗に対して、全等価回路抵抗8 mΩが [6] から推定できます。ハイサイドの制御用FETの損失がデバイス全体の損失で支配的なため、ハイサイドに対して補償される抵抗を例えば7 mΩに選択してみましょう。等価抵抗損失はスイッチング損失の増加によって補償されるため、デバイス内のこれらの損失のほとんど(すべてではないにしても)をより高いスイッチング損失で補償することは理にかなっています。

#### A) 制御用FETの最適化

制御用FETの場合、オン状態のデューティ比は「D」であり、 $Q_{RR}$ 損失はありませんが、出力電荷 $Q_{OSS}$ とハード・スイッチングの損失があります。したがって、式 (9) から以下が得られます：

$$R_{OPT}(100^\circ C) = \frac{1}{15A \cdot \sqrt{0.49}} \cdot \sqrt{\left[ \frac{45V}{2} \cdot 1.44/A \cdot 28pF/\Omega \right] \cdot (15A + 7.7A + 0A) \cdot 1MHz}$$

$$R_{OPT}(100^\circ C) = \frac{1}{15A \cdot \sqrt{0.49}} \cdot \sqrt{0.0206W\Omega} = 14.1m\Omega$$

したがって、 $R_{OPT}(25^\circ C) = \text{約}9.7m\Omega$  (標準値)

等価回路抵抗を考慮すると、調整された最適なオン抵抗は式(9)から求められます：

$$R_{OPT-ADJ}(100^{\circ}C) = \frac{0.0206W\Omega / 15A^2}{\left(\frac{7m\Omega}{2} + \sqrt{\left(\frac{7m\Omega}{2}\right)^2 + 0.0206W\Omega \cdot 0.49 / (15A)^2}\right)} = 8.3m\Omega$$

したがって、 $R_{OPT-ADJ}(25^{\circ}C)$  = 約5.7 mΩ (標準値)

#### B) 同期整流用FETの最適化

同期整流用FETの場合、スイッチング時の負荷電流 $I_L$ はゼロと見なされますが、同期整流用FETにはオン時やオフ時の転流損失がなく、 $Q_{OSS}$ の誘導損失と $Q_{RR}$ 損失が存在します(eGaN FETの場合はゼロ)。オン状態のデューティ比は「1-D」です。したがって、式(9)から以下が得られます：

$$R_{OPT}(100^{\circ}C) = \frac{1}{15A \cdot \sqrt{0.51}} \cdot \sqrt{\left[\frac{45V}{2} \cdot 1.44/A \cdot 28pF/\Omega\right] \cdot (0A + 7.7A + 0A) \cdot 1MHz}$$

$$R_{OPT}(100^{\circ}C) = \frac{1}{15A \cdot \sqrt{0.51}} \cdot \sqrt{0.007W\Omega} = 7.6m\Omega$$

したがって、 $R_{OPT}(25^{\circ}C)$  = 約5.2 mΩ (標準値)

等価回路抵抗を考慮すると、調整された最適なオン抵抗は、残りの1 mΩに対して式(9)から下記が得られます：

$$R_{OPT-ADJ}(100^{\circ}C) = \frac{0.007W\Omega / (15A)^2}{\left(\frac{1m\Omega}{2} + \sqrt{\left(\frac{1m\Omega}{2}\right)^2 + 0.007W\Omega \cdot 0.51 / (15A)^2}\right)} = 6.2m\Omega$$

したがって、 $R_{OPT-ADJ}(25^{\circ}C)$  = 約4.3 mΩ (標準値)

この例から分かるように、最適なオン抵抗は、補償される任意の大きな追加の回路抵抗(デバイスのオン抵抗と同じ範囲)に対して大きく変化します。明らかに、これらの追加の回路損失は補償の前に最小化でき、そのような追加の任意の最適化調整はわずかです。いくつかの等価回路抵抗の調整の影響を確認するために、制御用FETと同期整流用FETの最適抵抗を図3と図4に、それぞれ同じ例の負荷電流に対してプロットしています。

### 実験結果

この最適化アプローチの有効性を評価するために、上記の例で使われたものと同じバック・コンバータに対していくつかの実験による効率曲線を求めました [6]。表2に示すように、同じ回路を構成し、eGaN FETのEPC2001 [7] とEPC2016 [8] のさまざまな組み合わせを使ってEPCデバイスのみを替えました。これら3つの場合の負荷電流の関数としての効率と電力損失の曲線をプロットし、図5に示します。それらの推定最適化点を色分けし、点として図3と4に追加しました。表2は、ピーク効率での調整されたオン抵抗と実際の電流レベルとの間での良好な連携を示しています。

### MOSFETとの最適化の比較

MOSFETを使ったとき、この最適化プロセスをどのように比較するかを知るには、代表的な高性能MOSFETを見つけて、同様の方法でそれらを正規化しなければなりません。この結果の値は、参考のため、付録の表3に記載しています。前と同じ設計例を使って、結果として得られる制御用FETと同期整流用FETの最適なオン抵抗値を、それぞれ図6と7に負荷電流に対してプロットしました。データシートから得たこれらのMOSFETの逆回復損失 $Q_{RR}$ は、比較的大きく、フリーホイーリングのショットキー・ダイオードを追加することで軽減できます。このため、 $Q_{RR}$ を無視した結果のMOSFETのオン抵抗の損失も図7に示しています。これは、eGaN FETとMOSFETとの間の類似性を明確に示し、最適なeGaN FETは、すべての場合において同様に最適化されたMOSFETデバイスよりも抵抗が小さいことを示しています。これは、FOMが小さいため、eGaN FETによって提供される動的損失が減少するためです [1]。

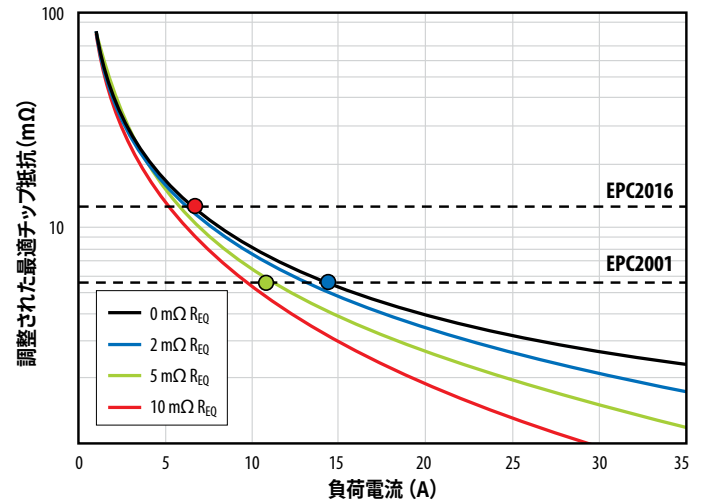
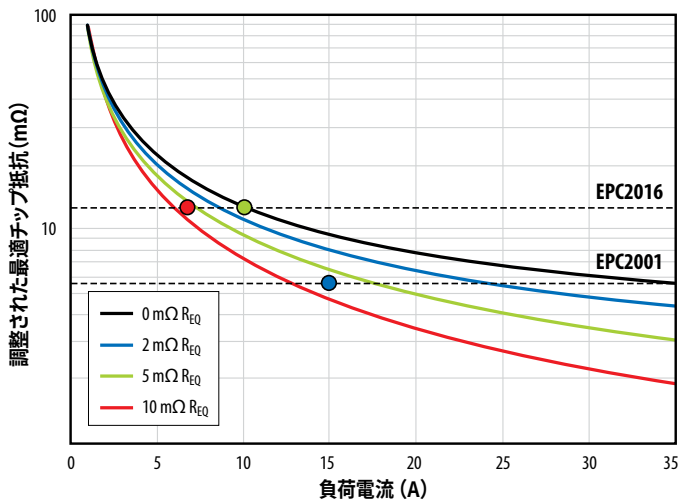


図3：等価回路抵抗 $R_{EQ}$ の値を変化させるための45 V入力、22 V出力で1 MHzのバック・コンバータの制御用FETの調整された最適オン抵抗 (25°C)。丸印は、表2の実験によるテスト結果を表します。

図4：等価回路抵抗 $R_{EQ}$ の値を変化させるための45 V入力、22 V出力で1 MHzのバック・コンバータの同期整流用FETの調整された最適オン抵抗 (25°C)。丸印は、表2の実験によるテスト結果を表します。

テストしたeGaN FETの組み合わせ	最適化されたオン抵抗での負荷電流：式 (8)		調整され、最適化されたオン抵抗の負荷電流 (調整された $R_{EQ}$ 値)		ピーク効率での負荷電流*
	制御用FET	同期整流用FET	制御用FET	同期整流用FET	
EPC2016 + EPC2016	10.6 A	6.8 A	6.8 A (8 mΩ)	6.8 A (8 mΩ)	~ 8 A
EPC2016 + EPC2001	10.6 A	14.4 A	10.6 A (0mΩ)	10.3 A (8 mΩ)	~ 10 A
EPC2001 + EPC2001	34 A	14.4 A	14.3 A (8 mΩ)	14.4 A (8 mΩ)	~ 14 A

\*図5からの引用

表2：実験によるテスト結果と計算された最適オン抵抗

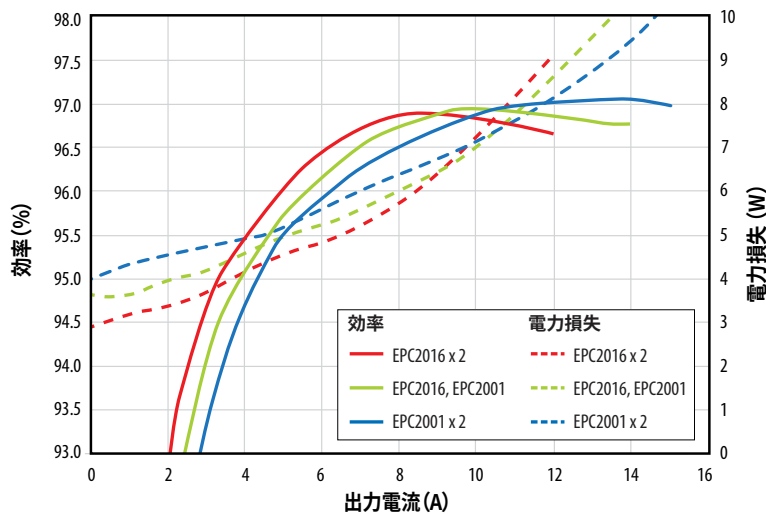


図5：表2のさまざまなeGaN FETの効率と損失の曲線。45 V入力、22 V出力、1 MHzのとき。

## パッケージとレイアウトの最適化に対する影響

共通ソース・インダクタンス (CSI: common source inductance) がハード・スイッチング・デバイスのスイッチング損失を大幅に増加させることが示されています[9,10,11]。この増加を見積もる方程式は複雑で、多少異なります。この損失の増加は、特定のデバイス技術ではチップ・サイズに依存しないことも示されていますが[12]、チップ・サイズの最適化プロセスにほとんど影響を与えません。ただし、実際のeGaN FETの場合、すべてのウエハー・レベルのチップスケール・パッケージ (WLCSP: wafer level chip-scale package) のインダクタンスは、チップ・サイズに比例するため、CSIはチップ・サイズの弱い関数になりますが、この複雑さは、このホワイト・ペーパーの範囲を超えています。CSIとチップ・サイズの間のような逆の関係は、チップ・サイズが大きくなると、スイッチング損失のある小さな部分が実際に減少することを意味します。これは直観に反するように見えるかもしれません。

## まとめ

ここで紹介した簡単な最適化方法を使うと、最適なeGaN FETのオン抵抗値をすばやく見つけることができます。多くの単純なソリューションと同様に、精度が制限され、実際の最適な抵抗値から外れる可能性があります。さらに、チップのサイズとオン抵抗の最適な組み合わせは、デバイスに関連しない等価回路の導通抵抗の関数でもあります。このホワイト・ペーパーでは、これらの追加の電流依存損失を補償する最適化の方法を紹介しました。実験結果は、ピーク効率での負荷電流の正確な予測を通じて良好に一致しています。

eGaN FETは常に、MOSFETよりも低いオン抵抗に最適化されるため、全体的なピーク効率は、MOSFET (所望の想定の場合) よりも高くなります (全導通損失とスイッチング損失がピークで等しい)。同じオン抵抗を使うと、eGaN FETの効率は、より低い電流でピークになります。

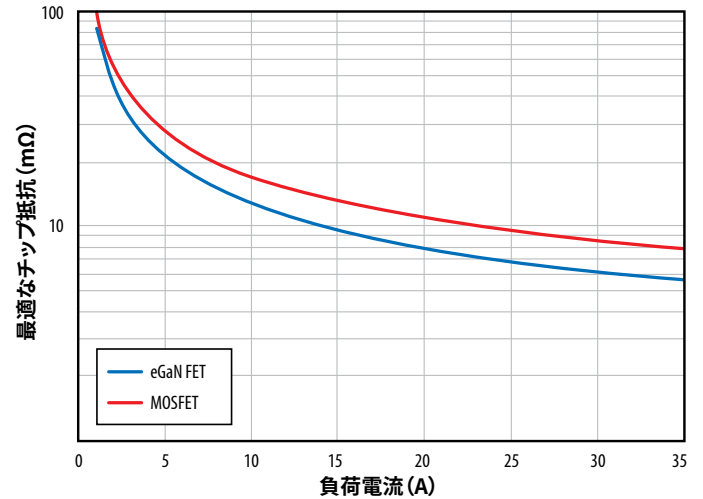


図6: 45 V入力、22 V出力 / 1 MHzのバック・コンバータの制御用FET (ハイサイド) の最適なオン抵抗 (25°C)。

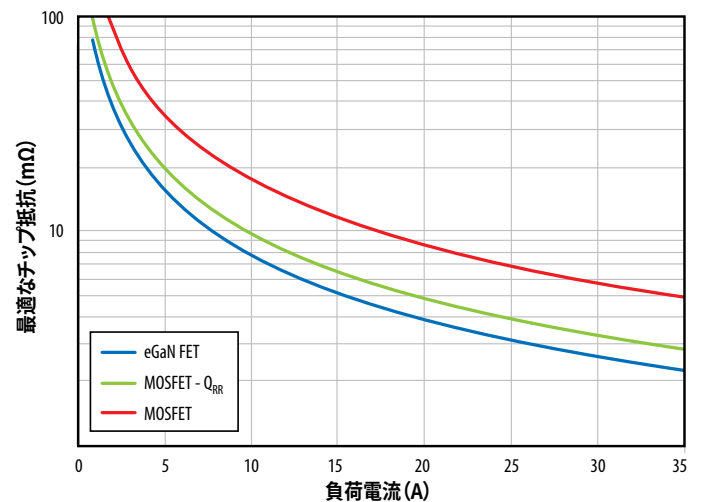


図7: 45 V入力、22 V出力 / 1 MHzのバック・コンバータの同期整流用FET (ローサイド) の最適なオン抵抗 (25°C)。

## 参考文献:

- [1] J. Strydom, "eGaN® FET-Silicon Power Shoot-Out Part 1: Comparing Figure of Merit (FOM)", Power Electronics Technology, Sept. 2010, [http://powerelectronics.com/power\\_semiconductors/power\\_mosfets/fom-useful-method-compare-201009/](http://powerelectronics.com/power_semiconductors/power_mosfets/fom-useful-method-compare-201009/)
- [2] J. Strydom, "The eGaN FET-Silicon Power Shoot-Out: 2: Drivers, Layout", Power Electronics Technology, Jan. 2011, [http://powerelectronics.com/power\\_semiconductors/first-article-series-gallium-nitride-201101/](http://powerelectronics.com/power_semiconductors/first-article-series-gallium-nitride-201101/)
- [3] Jon, Klein, "Synchronous buck MOSFET loss calculations with Excel model", Fairchild Semiconductor, App. note AN-6005, <http://www.fairchildsemi.com/an/AN/AN-6005.pdf>
- [4] Jon Gladish, "MOSFET Selection to Minimize Losses in Low-Output-Voltage DC-DC Converters", Fairchild Semiconductor Power Seminar 2008 – 2009.
- [5] "Properly Sizing MOSFETs for PWM Controllers", Sipex App. note ANP-20, <http://www.exar.com/common/content/document.ashx?id=1245>
- [6] J. Strydom, "eGaN® FET- Silicon Power Shoot-Out Volume 8: Envelope Tracking", Power Electronics Technology, Apr. 2012, [http://powerelectronics.com/power\\_semiconductors/gan\\_transistors/egan-fet-silicon-power-shoot-out-volume-8-0430/](http://powerelectronics.com/power_semiconductors/gan_transistors/egan-fet-silicon-power-shoot-out-volume-8-0430/)
- [7] EPC2001 datasheet, EPC Corporation, <https://epc-co.com/epc/Products/eGaNfETsandICs/EPC2001.aspx>
- [8] EPC2016 datasheet, EPC Corporation, <https://epc-co.com/epc/Products/eGaNfETsandICs/EPC2016.aspx>
- [9] D. Jauregui, B. Wang, R. Chen, "Power Loss Calculation with Common Source Inductance Consideration for Synchronous Buck Converters", Texas Instruments, SLPA009A, June 2011, <http://www.ti.com/lit/an/slpa009a/slpa009a.pdf>
- [10] W. Eberle, Z. Zhang, et. al, "A Practical Switching Loss Model for Buck Voltage Regulators", IEEE Transactions on Power Electronics, Vol. 24, No. 3, March 2009.
- [11] T. Hashimoto, M. Shiraishi, et. al, "System in Package (SiP) With Reduced Parasitic Inductance for Future Voltage Regulator", IEEE Transactions on Power Electronics, Vol. 24, No. 6, June 2009.
- [12] Y. Ying, "Device Selection Criteria - Based on Loss Modeling and Figure of Merit", M.Sc. Thesis, Virginia Tech, <http://scholar.lib.vt.edu/theses/available/etd-05272008-143141/>

付録

- $R_{DS(on),A}$  1Ωと見なされるチップ面積に対して正規化した100°Cでのオン状態の抵抗。他のすべてのデバイス・パラメータは、これに関して正規化されています。
- $R_G$  ゲート駆動経路の抵抗：必要に応じてプルアップまたはプルダウン。これには、2Ωのプルアップと0.5Ωのプルダウンのドライバ抵抗（チップ・サイズに依存しない）と0.6ΩのeGaN FETの内部ゲート抵抗が含まれます。小さいチップは有効ゲート・トレースが短く、狭いため、この値はチップ・サイズに依存しない傾向があります。MOSFETの場合、データシートの値が使われ、チップ・サイズに依存しないことも仮定されています。
- $V_{BUS}$  動作中にスイッチング・ノードに加わるDCバス電圧。例えば、バック（降圧型）の入力電圧とブースト（昇圧型）の出力電圧。
- $I_L$  スイッチのオン状態のときの平均コイル電流および／またはスイッチ電流。同じ値を全体で使えるように、リップルは無視されます。
- $D$  最適化されているデバイスの導通状態におけるデバイスのオン時のデューティ比は、全サイクルとの比。
- $f_{SW}$  eGaN FETまたはMOSFETがスイッチングする周波数を指します。
- $V_{PL}$  定格電流でのデバイスのプラトー電圧。この値は負荷によって大幅に変わることがありますが、単純化のために最適化中は一定であると仮定しています。
- $V_{DR}$  ゲート駆動電圧。
- $Q_{GD,A}$  正規化されたチップ面積当たりのミラー電荷。これは、所定のバス電圧に対して一定であると仮定し、データシートの値と関連する電荷のグラフから計算されます。
- $Q_{GS2,A}$  正規化されたチップ面積当たりのデバイスのしきい値とプラトー電圧との間のゲート電荷。これは、特定の負荷電流に対して一定であり、定格電流でのデータシートの値から計算されます。
- $Q_{G,A}$  データシートから計算された特定のデバイス駆動電圧における正規化された全ゲート電荷。
- $Q_{SW,A}$  しきい値に達してからプラトーの終わりまでの正規化された全スイッチング電荷。
- $Q_{OSS,A}$  所定のバス電圧における正規化された全デバイス出力電荷で、データシートの値と関連する電荷のグラフから計算されます。
- $Q_{RR,A}$  MOSFETのデータシートから取得したデバイスのダイオードの正規化された全逆回復電荷。
- $V_F$  電流 $I_L$ を供給するデバイスのダイオードの順方向電圧降下。
- $\Delta t$  スwitching・サイクルごとのダイオードの導通間隔の合計。
- $k_{ON}$  デバイスのオン時のゲート電流の逆数；最適化のための定数と仮定。
- $k_{OFF}$  デバイスのオフ時のゲート電流の逆数；最適化のための定数と仮定。

仮定と近似

- 共通ソース・インダクタンス (CSI) に関連するスイッチング損失の増加については、別途、説明しますが、最適化の目的のために無視しています。
- オン抵抗の温度依存性が考慮されます。すべての値は、100°Cでのデータシートの「標準値」に基づいて最適化されています。同等の25°Cの値を決めるためには、最終的に最適化されたオン抵抗値を25°Cに正規化しなければなりません。
- $Q_{OSS}$  損失は、1つのスイッチング・エッジがZVSで、1つが「ハード」・スイッチングであることを前提としています。つまり、 $Q_{OSS}$ のエネルギーは、デバイスのオン時またはオフ時でのみ失われます。
- $Q_{GS2}$ は、オン時／オフ時の電流によって異なりますが、使われる値は、定格電流でのデータシートから取得されているため、軽い負荷では、この部品を過大評価することになるでしょう。以下に示すように、高電圧では影響が小さくなります。この間隔のゲート駆動電流は同じプラトー電圧を使って計算されるため、オンする時間を過大評価し、オフする時間を過小評価することにもなります。

	40 V	40 V	100 V	200 V
$V_{BUS}$	12V	24V	48V	100V
$Q_{GS2,A}$ @ 定格 $I_{DS}$	3.5 pC/Ω	3.5 pC/Ω	5 pC/Ω	9 pC/Ω
$Q_{GD,A}$ @ $V_{BUS}$	6 pC/Ω	7 pC/Ω	14 pC/Ω	35 pC/Ω
$Q_{GD}/(Q_{SW})$	6/9.5 = 0.63	7/10.5 = 0.67	14/19 = 0.73	35/42 = 0.83
さまざまな負荷電流での $Q_{SW}$ のエラー	0~37%	0~33%	0~27%	0~17%



- ダイオードの損失はチップ・サイズによって異なりますが、簡略化のため、この違いは最適化プロセスでは無視されます。ダイオードの損失は、チップ・サイズによって他の電荷依存の損失とは逆に変化します（チップ・サイズが大きくなると、実際には損失が小さくなります）。しかし、この違いは、電荷依存損失の違いと比べて小さいと仮定しています。
- オン時とオフ時の電流は等しいと仮定され、コイル電流のリップルの影響は無視されます。そうすることのエラーを定量化するには、 $I_L - I_P$ でオンにして、 $I_L + I_P$ でオフにすることを検討してください。そして、オン/オフの損失は以下になります：

$$\begin{aligned} & \left[ \frac{V_{BUS} \cdot (I_L + I_P)}{2} k_{ON} + \frac{V_{BUS} \cdot (I_L - I_P)}{2} k_{OFF} \right] \cdot Q_{SW,A} \cdot A \cdot f_{SW} \\ &= \left[ \frac{V_{BUS} \cdot (I_L)}{2} k_{ON} + \frac{V_{BUS} \cdot (I_L)}{2} k_{OFF} + \frac{V_{BUS} \cdot (I_P)}{2} k_{ON} - \frac{V_{BUS} \cdot (I_P)}{2} k_{OFF} \right] \cdot Q_{SW,A} \cdot A \cdot f_{SW} \\ &= \left[ \frac{V_{BUS} \cdot (I_L)}{2} k + \frac{V_{BUS} \cdot (I_P)}{2} (k_{ON} - k_{OFF}) \right] \cdot Q_{SW,A} \cdot A \cdot f_{SW} \end{aligned}$$

したがって、このエラーはeGaN FETに対して過小評価になります。

$$\frac{I_P (k_{ON} - k_{OFF})}{I_L \cdot k} \approx \frac{1}{3} \frac{I_P}{I_L} \approx \frac{1}{6} \frac{I_{PP}}{I_L}$$

ピーク・ツー・ピークのリップル=30%の場合、そのエラー=5% (MOSFETの場合はさらに小さい、ここで $k_{ON}$ 値と $k_{OFF}$ 値はほぼ等しい)。

- $Q_G$ はドライバの損失で使われるソフト・スイッチング・デバイスのエラーで、 $Q_{GD}$ を含むことは正しくありません。このエラーである $Q_{GD} / Q_G$ は、ソフト・スイッチングのゲート駆動損失の推定値を約30%上回ります。

100°Cにおけるオン抵抗 $R_{DS(on)}$ の標準値で正規化 (25°Cにおいて約 $1.45 \times R_{DS(on)}$ )				
$V_{BUS}$	25 V MOSFETs 12 V	40 V MOSFETs 24 V	80 V MOSFETs 48 V	150 V MOSFETs 100 V
$Q_{GS2,A}$ @ 定格 $I_{DS}$	4 pC/Ω	7 pC/Ω	35 pC/Ω	116 pC/Ω
$Q_{GD,A}$ @ $V_{BUS}$	6 pC/Ω	21 pC/Ω	55 pC/Ω	96 pC/Ω
$Q_{G,A}$ @ 5 V 定格 $V_{DR}$	42 pC/Ω	65 pC/Ω	290 pC/Ω	535 pC/Ω
$Q_{OSS,A}$ @ $V_{BUS}$	84 pC/Ω	116 pC/Ω	375 pC/Ω	1500 pC/Ω
$Q_{RR,A}$ @ 定格 $I_S$	90 pC/Ω	70 pC/Ω	520 pC/Ω	8700 pC/Ω
$V_{PL}$ @ 定格 $I_{DS}$	1.8 V	2.4 V	4.6 V	5.7 V
$V_F$ @ 定格 $I_{DS}$	0.8 V	0.8 V	0.9 V	1.0 V
$k_{ON} = \frac{R_G}{V_{DR} - V_{PL}}$	2.5/3.2 = 0.78 1Ωプルアップ	2.0/2.8 = 0.77 1Ωプルアップ	3.0/5.4 = 0.56 1Ωプルアップ	3.0/4.3 = 0.7 1Ωプルアップ
$k_{OFF} = \frac{R_G}{V_{PL}}$	2.0/1.8 = 1.1 0.5Ωプルアップ	1.5/2.4 = 0.62 0.5Ωプルアップ	2.5/4.6 = 0.54 0.5Ωプルアップ	2.5/5.7 = 0.44 0.5Ωプルアップ
$k = k_{ON} + k_{OFF}$	1.88 / A	1.39 / A	1.10 / A	1.14 / A
$Q_{SW,A}$	10 pC/Ω	28 pC/Ω	90 pC/Ω	212 pC/Ω
$\Delta I_{EQ}$	6.3 A	3.8 A	5 A	6.7 A
$\Delta I_{EQRR}$	9.5 A	3.5 A	10.5 A	72 A

表3：差動電圧定格に対する1Ωの標準 $R_{DS(on)}$ に正規化された最先端のMOSFET